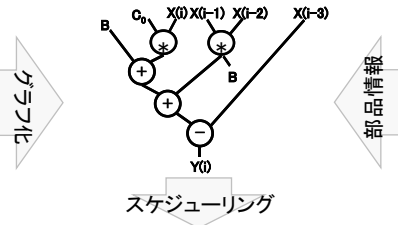


C 言語で記述した画像処理アルゴリズムの FPGA 実装テクニック

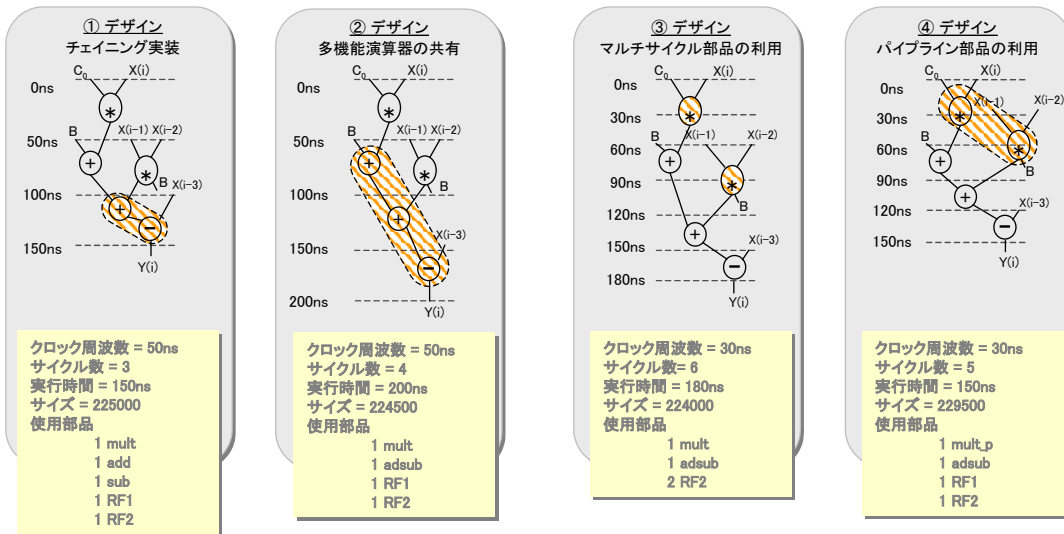
(株)ソリトンシステムズ / 木下智雄

■ 入力記述

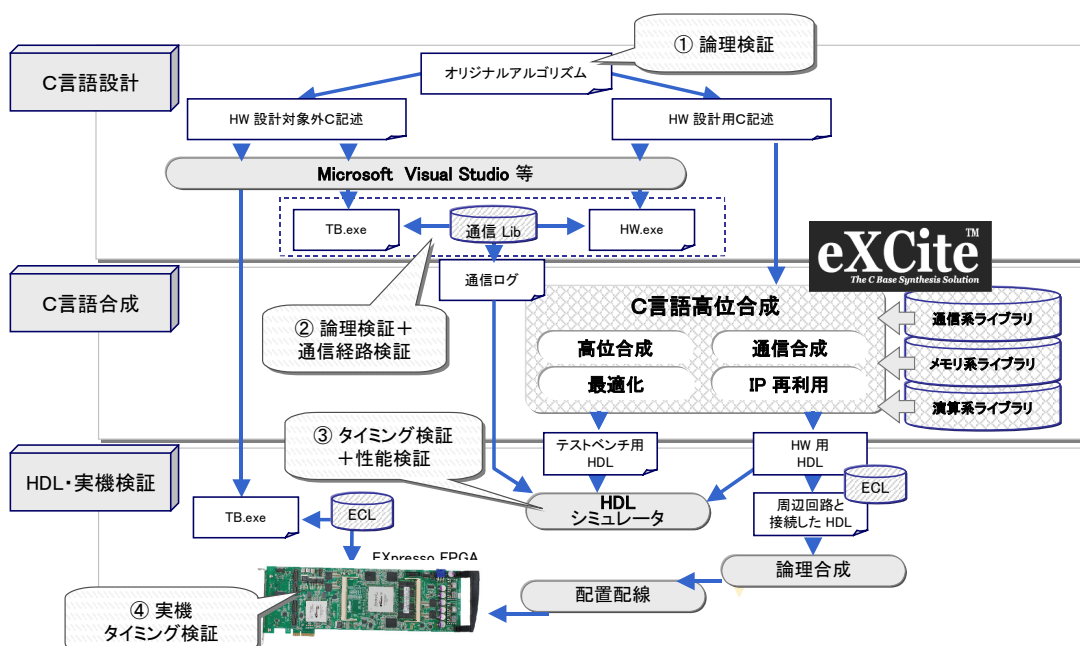
A=B+C0*X[i];
 B=X[i-1]*X[i-2];
 C=A+B;
 Y[i]=C-X[i-3];



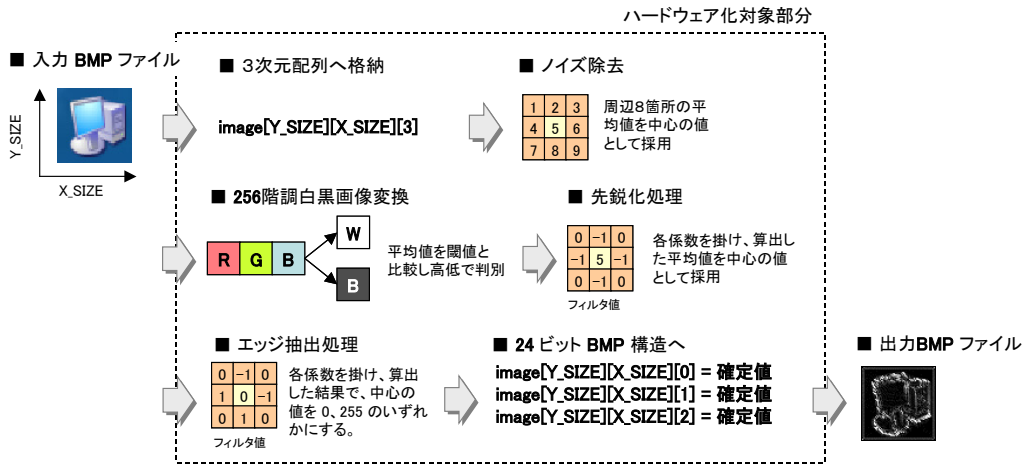
| 部品名 | 遅延(ns) | エリア |
|---------------------------|--------|--------|
| mult | 45 | 215000 |
| mult_p (2 stage pipeline) | 25 | 220000 |
| add | 20 | 1500 |
| sub | 25 | 7000 |
| adsub | 25 | 8000 |
| RF1(2R,1W) | 2 | 1000 |
| RF2(1R,1W) | 2 | 500 |



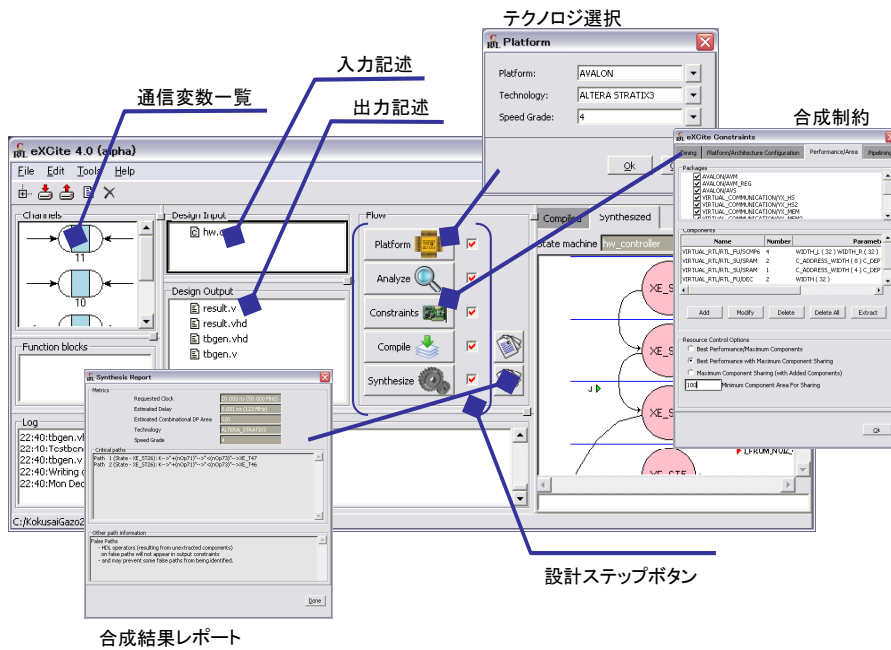
第 2 図 高位合成によるアーキテクチャ探索



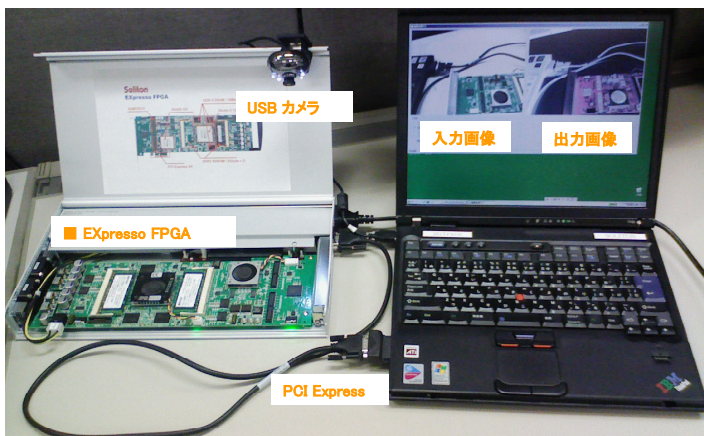
第 5 図 eXCite 推奨設計フロー



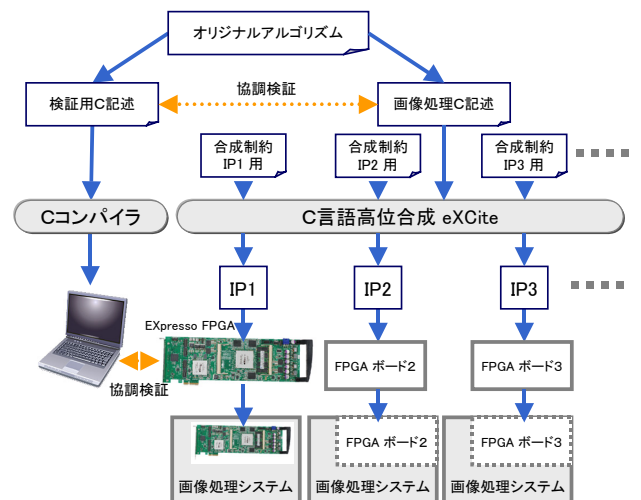
第 6 図 エッジ抽出処理イメージ図



第 10 図 C 高位合成 eXCite



第 14 図 PC と Expresso FPGA との連動



第 17 図 プラットフォームベース開発